

SECTION A : 80 MARKS
BAHAGIAN A : 80 MARKAH

INSTRUCTION:

This section consists of **FOUR (4)** structured questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi EMPAT (4) soalan berstruktur. Jawab SEMUA soalan.

QUESTION 1
SOALAN 1

CLO1
C1

- a) List **FIVE (5)** advantages of integrated circuit.

Senaraikan LIMA (5) kelebihan litar bersepadu.

[5 marks]
[5 markah]

CLO1
C1

- b) Referring to Diagram A1 (b), state the wafer formation process from silicon ingot to silicon wafer in box A, B, C, D and E.

Merujuk kepada Rajah A1 (b), nyatakan proses pembentukan wafer daripada ingot silikon kepada wafer silikon di kotak A, B, C, D dan E.

[5 marks]
[5 markah]

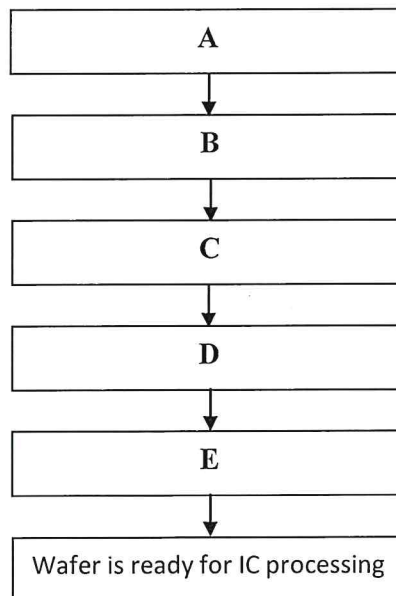


Diagram A1(b)/ *Rajah A1(b)*

CLO1
C2

- c) Photolithography is the core process in integrated circuit manufacturing.
Explain the differences between positive and negative photoresist with the aid of diagram.

Photolithography adalah proses utama dalam pembuatan litar bersepadu.

Terangkan perbezaan diantara fotorintang positif dan fotorintang negatif dengan bantuan gambarajah.

[10 marks]

[10 markah]

QUESTION 2
SOALAN 2

CLO1
C1

- a) Identify **TWO (2)** types of electrical failure.

Kenal pasti DUA (2) jenis kegagalan elektrik.

[4 marks]

[4 markah]

CLO1
C2

- b) Compare Infant Mortality and Random Failures in Bath Tub curve prediction.

Bandingkan 'Infant Mortality' dan kegagalan secara rawak dalam ramalan lengkung 'Bath Tub'.

[8 marks]

[8 markah]

CLO1
C2

- c) Interpret the non-destructive test (NDT) and destructive test in integrated circuit failure analysis.

Terangkan mengenai ujian non-destructive (NDT) dan ujian destructive dalam analisis kegagalan litar bersepadu.

[8 marks]

[8 markah]

QUESTION 3**SOALAN 3**CLO1
C3

- a) Draw the NMOS and PMOS transistor symbol function as switch.

Lukiskan simbol transistor NMOS dan PMOS yang berfungsi sebagai suis.

[6 marks]

[6 markah]

CLO1
C3

- b) Solve the following Boolean expression and sketch the static CMOS logic gate

Selesaikan ungkapan Boolean berikut dan lakarkan get logik CMOS statik.

$$F = \overline{A \cdot B \cdot C}$$

[7 marks]

[7 markah]

CLO1
C3

- c) Construct the configuration of dynamic CMOS logic circuit and write the phase involved.

Rekabentuk konfigurasi litar logik dinamik CMOS dan nyatakan fasa yang terlibat.

[7 marks]

[7 markah]

QUESTION 4**SOALAN 4**CLO1
C3

(a) Draw and label the stick diagram for real CMOS inverter circuit.

Lukis dan labelkan gambarajah ranting bagi litar penyongsang CMOS sebenar.

[6 marks]

[6 markah]

CLO1
C3

(b) By using the same method in Q4 (a) above, construct the stick diagram for two input NOR gate and label the diagram.

Dengan menggunakan teknik yang sama seperti soalan Q4 (a) di atas, binakan gambarajah ranting untuk get logik NOR dua input dan labelkan gambarajah.

[7 marks]

[7 markah]

CLO1
C3

(c) Sketch an architecture of Programmable Read Only Memory (PROM) for the following Boolean equation:

Lakarkan binaan struktur untuk Programmable Read Only Memory (PROM) untuk persamaan Boolean berikut:

$$F_1 = A + \bar{B} \bar{C}$$

$$F_2 = \bar{A} B + \bar{B} \bar{C}$$

[7 marks]

[7 markah]

SECTION B: 20 MARKS**BAHAGIAN B: 20 MARKAH****INSTRUCTION:**

This section consists of **ONE (1)** essay questions. Answer all questions.

ARAHAN:

Bahagian ini mengandungi SATU (1) soalan esei. Jawab semua soalan.

QUESTION 1**SOALAN 1**

CLO1
C6

Design a static CMOS logic circuit and stick diagram for the given Boolean function below and modify the schematic logic circuit to improve the size and switching speeds using the dynamic logic.

Hasilkan rekabentuk litar statik logik CMOS dan gambarajah ranting bagi persamaan Boolean di bawah dan ubah suai litar logik skematik tersebut untuk menambah baik saiz dan kelajuan pensuisan menggunakan logik dinamik.

$$F = \overline{(A + B)} \cdot (C + D)$$

[20 marks]
[20 markah]

SOALAN TAMAT